



بخشی از ترجمه مقاله

عنوان فارسی مقاله :

یک مبدل آنالوگ به دیجیتال (ADC) سابرنجینگ درونیابی شده ۶ بیتی، ۱ GS/s و ۹,۹ میلی واتی در ۶۵ nm CMOS نانومتری

عنوان انگلیسی مقاله :

A ۶-bit, ۱-GS/s, ۹,۹-mW, Interpolated Subranging ADC in ۶۵-nm CMOS



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.



بخشی از ترجمه مقاله

V. CONCLUDING REMARKS

An improved subranging architecture was proposed to deal with issues caused by the settling time of the reference voltages and switches connected to intermediate potential nodes in subranging ADCs. In this ADC architecture, the reference-voltage generator and its accompanying switches are eliminated by the use of CDACs and the comparators' threshold level is digitally controlled by means of active interpolation. In addition, to reduce the area of the ADC and sampling error, the same set of comparators (there are no redundant comparators) is used for the coarse and fine decisions. To realize this architecture, different threshold-control codes for the coarse and fine decisions are supplied to each comparator

۷. نتیجه گیری

یک معماری سابرنجینگ پیشرفته برای مقابله با مسائل ناشی از زمان نشست ولتاژهای مرجع و سوئیچ متصل به گره های پتانسیل میانی در سابرنجینگ ADC پیشنهاد شد. در این معماری ADC، ژنراتور با ولتاژ مرجع و سوئیچ های همراه آن با استفاده از CDAC حذف شده و سطح آستانه مقایسه گرها به صورت دیجیتالی با استفاده از درون یابی فعال کنترل گردید. افزون بر این، برای کاهش سطح ADC و خطای نمونه برداری، از مجموعه مقایسه گرهای یکسانی (هیچ مقایسه گر اضافی وجود نداشت) برای تصمیمات درشت و ظریف استفاده گردیده است. برای تحقق بخشیدن به این معماری، کدهای کنترل آستانه مختلفی برای تصمیمات درشت و ظریف به ازای هر مقایسه گر عرضه شد.



توجه!

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.