



بخشی از ترجمه مقاله

عنوان فارسی مقاله :

طراحی یک latch چفت شده کم هزینه و با تشعشع قابل اطمینان بالا
توسط فناوری 66nm CMOS

عنوان انگلیسی مقاله :

Low cost and highly reliable radiation hardened latch
design in 65 nm CMOS technology



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل
با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

بخشی از ترجمه مقاله

6. نتیجه گیری

6. Conclusion

This paper has proposed a low cost and highly reliable radiation hardened latch circuit which is implemented in 65 nm commercial technology. By reasonable structure design, the proposed latch is fully SEU immune which means that it can tolerate an SEU on any one of its internal single node. In addition, the proposed latch is capable of SET filtering. Hence, the proposed latch not only can tolerate the soft errors caused by input SETs in combinational parts, but also can tolerate internal SEUs in sequential parts. The proposed latch has also overcome the problem of taking a high impedance state when a particle strikes on some of its internal nodes. Compared with the latches of type 4, our proposed latch features at least 39% and 67.6% reduction of power consumption and power delay product, respectively, in other words, our proposed latch has the lowest power consumption and power delay product among the latches of type 4, while it features a second lowest area overhead and has a comparable ability of SEMUs tolerance. The impacts of process, supply voltage and temperature variation on proposed latch are also investigated, which shows that our proposed latch is less sensitive to voltage and process.

در این مقاله یک مدار latch چفت شده ارزان قیمت با قابلیت اطمینان بالا در مقابل تشعشع پیشنهاد داده شده است که توسط فناوری تجاری 65 nm پیاده سازی شده است. بر اساس طراحی ساختار منطقی، latch پیشنهادی به طور از نظر SEU مصون است که به معنای آن است که می تواند یک SEU را بر روی هر یک از نود های منفرد داخلی اش تحمل کند. علاوه بر این latch پیشنهادی قابلیت فیلترینگ SET را نیز دارد. بنابراین latch پیشنهادی نه تنها خطاهای نرم (کم شدت) حاصل شده توسط SET های ورودی در بخش های پیوندی (ترکیبی) را تحمل می کند بلکه همچنین می تواند SEU های داخلی در بخش های پشت سر هم (متوالی) را نیز تحمل نماید. Latch پیشنهادی همچنین بر مساله رسیدن به حالت امپدانس بالا در هنگامی که یک ذره بر روی نود های داخلی اش برخورد می کند، غلبه کرده است. در مقایسه با latch های نوع 4، latch پیشنهادی ما دارای ویژگی حداقل به ترتیب 39% و 67.6% کاهش در مصرف توان و محصول تاخیر توان (PDP) است. به بیان دیگر latch پیشنهادی ما دارای کمترین مصرف توان و محصول تاخیر توان در میان latch های نوع 4 است در حالی که دارای رتبه دوم از نظر کمترین سربار محیطی است و قابل رقابت با سایر latch ها از نظر تحمل SEMU ها می باشد. اثرات تغییرات پردازش، ولتاژ منبع تغذیه و درجه حرارت بر روی latch پیشنهادی نیز مورد بررسی قرار گرفته است که نشان می دهد latch پیشنهادی حساسیت کمتری به ولتاژ و پردازش دارد.



توجه!

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.