



## بخشی از ترجمه مقاله

عنوان فارسی مقاله :

بررسی چگونگی نقایص فیزیکی در دستگاه های گرافینی  
بر پایه اتصال pn با قابلیت پیکربندی مجدد

عنوان انگلیسی مقاله :

Investigating the Behavior of Physical Defects in pn-Junction  
Based Reconfigurable Graphene Devices



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل  
با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.



## بخشی از ترجمه مقاله

### V. CONCLUSIONS AND FINAL REMARKS

This paper proposes a study on the effects of physical failures in a new class of graphene based reconfigurable logic gates. Apart from introducing the equivalent electrical models of the faulty devices, it also proposes possible defect-to-fault mapping using proper fault models.

The obtained results demonstrate that, as for the CMOS technologies, faults models at different levels of abstraction are needed for the full coverage of the physical defects. As transistor-level models in the CMOS technologies helped to cover specific failures whose effect was not observable at the logic value, so does the suck-at-0V for the RG-devices. The suck-at-0V model is reminiscent of the stuck-short model used in CMOS circuits to cover the  $V_{dd}$ -to- $Gnd$  shorts that cause the outputs of logic gates to reach intermediate values. Differently from CMOS, however, the actual output value is not determined by the impedance ratios between pull-up/down networks or the associated faults, indeed, it is stuck at a precise voltage. This is mainly due to the symmetric structure of the graphene device.

### 5- نتیجه گیری و نکات نهایی

این مقاله یک مطالعه در مورد اثرات خرابی های فیزیکی در یک رده جدید از گیت های منطقی با قابلیت پیکربندی مجدد پیشنهاد نمود. جدا از معرفی مدل های الکتریکی معادل دستگاه های معیوب، این مطالعه هم چنین ترسیم نقص تا خرابی را با استفاده از مدل های خرابی مناسب پیشنهاد نمود.

نتایج حاصل شده این امر را به اثبات رساندند که همانند مدل های که در فناوری های CMOS مشاهده می گردد، مدل های خرابی در سطوح مختلف فشردگی برای پوشش کامل نقایص فیزیکی نیاز است. همانند مدل های سطح ترانزیستوری در فناوری های CMOS که به پوشش خرابی های خاصی که اثر آنها در مقدار منطقی قابل ملاحظه نیست، کمک می کنند، suck-at-0V نیز برای دستگاه های RG نیز این کار را می کند. مدل suck-at-0V، یادآوری از مدل فرورفتگی-اتصال کم مقاومت استفاده شده در مدل های CMOS است تا اتصالات کم مقاومت  $V_{dd}$  به  $Gnd$  را پوشش دهد که این باعث می شود خروجی های گیت های منطقی به مقادیر متوسطی برسند. متفاوت از CMOS، هرچند مقدار خروجی واقعی با نسبت های مقاومت ظاهری بین شبکه های pull up/down یا خرابی های مرتبط تعیین نمی شود، با این حال در یک ولتاژ دقیق قرار می گیرد. این امر عمدتاً ناشی از ساختار متقارن دستگاه گرافینی است.



## توجه!

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.