بخشی از ترجمه مقاله

عنوان فارسی مقاله :

معماری جمع کننده ترکیبی با بازدهی انرژی بالا

عنوان انگلیسی مقاله :

Energy efficient hybrid adder architecture

توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل

با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، اینجا کلیک نمایید.

ایران عرضه
فروشگاه کالاهای دانلودی

بخشی از ترجمه مقاله

5. Experimental results

Hybrid adders of 32, 64 and 128 bits, targeting 500 MHz and 1 GHz, have been implemented. Those were compared with low-power adders generated by Synopsys Design Compiler EDA tool, widely used by industry [17]. Other adders have been designed for reference. We used carry-skip and Kogge–Stone adders, shown in [9] being energy efficient at 130 nm technology and 1 GHz clock frequency. The Design Compiler selects the best adder architecture and the size of its underlying logic cells, such that the resulting circuits meet the target clock cycle with minimum power (and hence energy).

The hybrid, carry-skip and Kogge–Stone adders were implemented with a semi-custom design flow, using a standard CMOS cell library of Virage Logic, designed in IBM 65 nm technology. The pass-gate cell in Fig. 2 was designed and characterized in the typical corner, and then appended to the cell library. The usage of pass-gates and their robustness in the design of low-energy addition circuits has been discussed in [18]. Its schematics and layout are shown in Fig. 11.

5. نتایج تجربی

افزاینده های ترکیبی 32.64 و 128 بیتی که 500 مگاهرتز و 1 گیگاهرتز را قرار میدهند، اجرا شده اند. آنها با افزاینده های کم قدرت تولید شده توسط ابزار Synopsys Design Compiler EDA، که به طور گسترده ای توسط صنعت مورد استفاده قرار گرفتند[17] مقایسه شدند. دیگر افزاینده ها برای ارجاع طراحی شده اند. ما از افزاینده های carry-skip و Kogge-Stone استفاده کردیم، همانطور که در شکل [9] نشان داده شده است در فناوری 130 نانومتر و ساعت 1 گیگاهرتز فرکانس انرژی کارآمد اند.

هیبرید افزاینده های carry-skip و Kogge–Ston با یک جریان طراحی نیمه سفارشی، با استفاده از یک کتابخانه سلولی استاندارد CMOS از منطق Virage، طراحی شده در فناوری IBM 65nm اجرا شد.سلول pass-gate در شکل 2. در گوشه ای معمولی طراحی و توصیف شد و سپس به کتابخانه سلول اضافه شد. استفاده از pass-gate ها قدرت آنها در طراحی مدارهای اضافه کم انرژی در [18] مورد بحث قرار گرفته است. طرح و نقشه آن در شکل 11 نشان داده شده است.

ایران عرضه
مرجع مقالات
ترجمه شده

توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، اینجا کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، اینجا کلیک نمایید.