ایران عرضه
فروشگاه کالاهای دانلودی

بخشی از ترجمه مقاله

عنوان فارسی مقاله :

طراحی VLSI یک تراشه رمزگذای/رمزگشایی RSA با استفاده از سبک معماری آرایه سیستولیک

عنوان انگلیسی مقاله :

VLSI Design of a RSA Encryption/Decryption Chip using Systolic Array based Architecture

توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، اینجا کلیک نمایید.

ایران عرضه
فروشگاه کالاهای دانلودی

بخشی از ترجمه مقاله

5. Conclusion

In this paper, we employ the binary method to split modular exponentiation into a series of modular multiplications, which is then achieved by using the Walter algorithm. We applied the concept of systolic array to design this configurable RSA encryption / decryption chip based on the Montgomery algorithm with modified architecture by using VHDL hardware language. The design was implemented and verified by the TimeMill with TSMC/CIC 0.35 μm 1P4M technology that its area can be reduced to 3.93.9 mm^2 without the DFT and its average baud rate can reach 10.84 Kbps under a 100MHz clock.

5- نتیجه گیری

در این مقاله ما روش باینری را برای جداسازی به توان رساندن واحد به یک مجموعه از ضرب های واحد اعمال کردیم که با استفاده از الگوریتم Walter بدست آمد. ما مفهوم آرایه سیستولیک برای طراحی این تراشه رمزگذاری/رمزگشایی RSA دارای پیکربندی را بر اساس الگوریتم مونتگمری با معماری اصلاح شده با استفاده از زبان سخت افزاری VHDL اعمال نمودیم. طراحی انجام شد و با تکنولوژی TimeMill با TSMC/CIC 0.35 µm 1P4M تایید شد که مساحت آن می تواند به 3.9*3.9 mm2 بدون DFT کاهش یافت و میزان baud میانگین آن می تواند به 10.84 Kbps در یک ساعت 100MHz برسد.

ایران عرضه
مرجع مقالات
ترجمه شده

توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، اینجا کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، اینجا کلیک نمایید.