



## بخشی از ترجمه مقاله

عنوان فارسی مقاله :

معماری کارامد اندازه متغیر HEVC 2D-DCT برای پایگاه های FPGA

عنوان انگلیسی مقاله :

Efficient architecture of variable size HEVC 2D-DCT for FPGA platforms



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.



# بخشی از ترجمه مقاله

## 5. Conclusion

This paper presents a FPGA-friendly architecture design of variable size 2D-DCT for HEVC standard.  $4 \times 4$ ,  $8 \times 8$ ,  $16 \times 16$  and  $32 \times 32$  sizes of 2D-DCT are embedded in one architecture. This property enables multiple DCT sizes to share and reuse hardware resources. The proposed methodology efficiently proceeds 2D-DCT computation to fit internal components and characteristics of FPGA platforms. Details of circuit architecture and timing diagram are described in this work. The proposed architecture has been implemented in several FPGA platforms. Synthesis and simulation results demonstrate that the proposed architecture has great advantages in hardware cost, operating frequency and throughput, in contrast with prior works in literature. The proposed architecture is able to sustain  $4\text{K}@30\text{fps}$  UHD TV real-time encoding applications with a reduction of 31–64% in hardware cost.

## 5. نتیجه گیری

این مقاله طراحی معماری مساعد D-DCT2 در اندازه‌ی متغیر را برای استاندارد HEVC ارائه میدهد. اندازه‌های  $4 \times 4$ ,  $8 \times 8$ ,  $16 \times 16$  و  $32 \times 32$  دستاندارد D-DCT2 چند گانه را برای تقسیم در یک معماری جاسازی می‌شود. این ویژگی، اندازه‌های DCT سخت افزاری تقسیم کرده و مورد استفاده مجدد قرار میدهد. متداول‌تری ارائه شده به طور کارآمدی محاسبه‌ی D-DCT2 را پیش می‌برد که مناسب با مولفه‌ها و مشخصات داخلی پایگاه‌های FPGA می‌باشد. جزئیات معماری مدار و فوادر زمان‌بندی در این اثر توصیف شده‌اند. معماری ارائه شده در چندین پایگاه FPGA اجرا شده است. نتایج همگذاری و شبیه‌سازی نشان میدهد معماری ارائه شده، دارای مزایای زیادی در هزینه ساخت افزاری، فرکانس عملیات و بازده در مقایسه با کارهای قبلی در آثار مکتوب است. معماری پیشنهاد شده، میتواند برنامه‌های کاربردی زمان حقیقی 4 K@30 fps UHD TV را با یک کاهش هزینه‌ی ساخت افزاری 31–64% حفظ کند.



## توجه!

این فایل تنها قسمتی از ترجمه می‌باشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.