بخشی از ترجمه مقاله

عنوان فارسی مقاله :

مدارهای ترتیبی بی دررو کم توان با منطق مکمل ترانزیستور عبوری

عنوان انگلیسی مقاله :

Low-Power Adiabatic Sequential Circuits with

Complementary Pass-Transistor Logic

توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل

با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، اینجا کلیک نمایید.

ایران عرضه
فروشگاه کالاهای دانلودی

بخشی از ترجمه مقاله

IV. CONCLUSIONS

This paper presents CPAL circuits using two-phase AC power supply. Moreover, this paper also explores the design of adiabatic sequential circuits. The energy dissipation of the adiabatic flip-flops based on the two-phase CPAL is very low. Because of two-phase clock scheme, the proposed CPAL counter uses fewer transistors than the other adiabatic logic and conventional CMOS transmission gate-based implementations. It should be pointed that the two-phase power-clocks must be non-overlap for proper operation of two-phase CPAL. Although the CPAL circuits are used for the design of an 8421 BCD code up-counter here, the other adiabatic sequential circuits can be also realized.

4- نتیجه گیری

این مقاله مدارهای CPAL با استفاده از دو فاز منبع تغذیه AC. علاوه بر این، این مقاله نیز به بررسی طراحی مدارهای ترتیبی بی دررو .اتلاف انرژی از بی دررو فلیپ فلاپ بر اساس دو فاز CPAL بسیار کم است .از آنجا که از طرح ساعت دو فاز، CPALضد پیشنهادی با استفاده از ترانزیستور کمتر از دیگر پیاده سازی مبتنی بر دروازه بی دررو منطق و CMOS معمولی انتقال .باید اشاره کرد که دو فاز قدرت ساعتهای باید غیر همپوشانی برای بهره برداری مناسب از دو فاز CPAL باشد .اگر چه مدارهای CPAL برای طراحی کد BCD 8421 استفاده می شود تا ضد اینجا، دیگر مدارهای ترتیبی بی دررو نیز می توان متوجه شد.

ایران عرضه
مرجع مقالات
ترجمه شده

توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، اینجا کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، اینجا کلیک نمایید.