



بخشی از ترجمه مقاله

عنوان فارسی مقاله :

جمع کننده گزینش رقم نقلی دارای BEC و RCA

عنوان انگلیسی مقاله :

Carry select adder using BEC and RCA



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.



بخشی از ترجمه مقاله

IV. CONCLUSION

Addition is the most common and often used arithmetic operation on microprocessor, digital signal processor, especially digital computers. Also, it serves as a building block for synthesis all other arithmetic operations. Therefore, regarding the efficient implementation of an arithmetic logic unit, the adder structures become a very critical hardware unit. In any book on computer arithmetic, someone looks that there exists a large number of different circuit architectures with different performance characteristics and widely used in the practice. Although many researches dealing with the adder structures have been done, the studies based on their comparative performance analysis are only a few. Digital Adders are the core block of DSP processors. The final carry propagation adder (CPA) structure of many adders constitutes high carry propagation delay and this delay reduces the overall performance of the DSP processor. In this project, qualitative evaluations of the CSLA adder with and without BEC architectures are given. Among the huge member of the adders we wrote VERILOG (Hardware Description Language) code for Carry skip and carry select adders to emphasize the common performance properties belong to their classes. With respect to delay time and power consumption we can conclude that the implementation of CSLA with BEC is efficient. The main advantage of this BEC logic comes from the lesser number of logic gates than the n-bit Full Adder (FA) structure.

4. نتیجه گیری

عمل جمع مرسومترین و پرکاربردترین عمل حسابی در ریزپردازنده‌ها، پردازنده‌های سیگنال دیجیتال و به ویژه رایانه‌های دیجیتال است. هم چنین، عمل جمع به عنوان یک بلوک سازنده برای ترکیب کلیه اعمال حسابی دیگر بکار می‌رود. بنابراین، در مورد پیاده سازی یک واحد منطق حسابی بطور کارآمد، ساختارهای جمع کننده واحد سخت افزاری بسیار مهم و حیاتی محسوب می‌شوند. در هر کتاب راجع به علم حساب رایانه، می‌توان مشاهده کرد که معماری‌های مختلف بسیاری برای مدارها با خصوصیات عملکردی متفاوت و پرکاربرد در اجرا وجود داد. هر چند تحقیقات متعددی در ارتباط با ساختارهای جمع کننده انجام شده است، اما مطالعات مبتنی بر تحلیل عملکرد مقایسه‌ای تنها به چند مورد محدود می‌شود. جمع کننده‌های دیجیتال بلوک اصلی پردازنده‌های DSP هستند. ساختار جمع کننده پخش رقم نقلی (CPA) نهایی بسیاری از جمع کننده‌ها، تأخیر زیادش در پخش رقم نقلی ایجاد می‌کنند و این تأخیر سبب کاهش عملکرد کلی پردازنده DSP می‌شود. در این پروژه، محاسبات کمی جمع کننده CSLA با و بدون معماری‌های BEC ارائه گردید. در میان شمار عظیمی از جمع کننده‌ها، ما برنامه وریلاگ (زبان برنامه نویسی سخت افزاری) را برای جمع کننده‌های جهش رقم نقلی و گزینش رقم نقلی نوشتیم تا مشخصات عملکردی معمولی را که به این دسته جمع کننده‌ها تعلق دارد، پررنگ‌تر نشان دهیم. در مورد زمان تأخیر و مصرف برق می‌توان این طور نتیجه گرفت که پیاده سازی CSLA دارای BEC کارآمد است. مزیت اصلی این منطق BEC از شمار کمتر گیت‌های منطقی نسبت به ساختار تمام جمع کننده (FA) n بیتی نشأت می‌گیرد.



توجه!

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.