



## بخشی از ترجمه مقاله

عنوان فارسی مقاله :

تحلیل جمع کننده توان پایین، پرسرعت و با فضای کارآمد

عنوان انگلیسی مقاله :

Analysis of Low Power, Area- Efficient and High Speed  
Fast Adder



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.



## بخشی از ترجمه مقاله

### VII. CONCLUSION

Power, delay and area are the constituent factors in VLSI design that limits the performance of any circuit. This work presents a simple approach to reduce the area, delay and power of CSLA architecture. The conventional carry select adder has the disadvantage of more power consumption and occupying more chip area. The proposed SQRT CSLA using common Boolean logic has low power, less delay and reduced area than all the other adder structures. It is also little bit faster than all the other adders. In this way, the transistor count of proposed SQRT CSLA is reduced having less area and low power which makes it simple and efficient for VLSI hardware implementations.

### 7. نتیجه گیری

برق مصرفی، تأخیر و فضا از عوامل سازنده در طراحی vlsi است که عملکرد هر مدار را محدود می‌سازد. این تحقیق روشی ساده جهت کاهش فضا، تأخیر و برق مصرفی معماری csia معرفی می‌کند. عیب جمع کننده معمولی گزینش رقم نقلی مصرف برق بیشتر و فضای مصرفی بیشتر تراشه است. sqrt csia پیشنهادی که از منطق بولی مشترک بهره می‌گیرد، برق مصرفی، تأخیر و فضای مصرفی کمتری نسبت به کلیه ساختارهای جمع کننده دیگر دارد. علاوه بر این، ساختار پیشنهادی نسبت به کلیه جمع کننده‌های دیگر چند بیت سریعتر است. بدین صورت، تعداد ترانزیستورهای sqrt csia پیشنهادی کاهش یافته و فضا و برق کمتری را مصرف می‌کند که آن را به ساختاری ساده و کارآمد برای پیاده سازی سخت افزار vlsi تبدیل می‌کند.



## توجه!

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.