



بخشی از ترجمه مقاله

عنوان فارسی مقاله :

مخزن: DMA استفاده از ذخیره روی تراشه برای جداسازی معماری
داده های I/O از داده های CPU برای بهبود عملکرد I/O

عنوان انگلیسی مقاله :

DMA Cache: Using On-Chip Storage to Architecturally
Separate I/O Data from CPU Data for Improving I/O Performance



توجه !

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل
با فرمت ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.



بخشی از ترجمه مقاله

7. Conclusio

In this paper, we have proposed a DMA cache technique to separate I/O data and CPU data based on the observations of the different characteristics of the DMA and CPU memory reference behaviors. Concretely, the I/O data's produce-consume reuse distances inspire us to separate I/O data from CPU data and to consequently propose the DMA cache. The average sizes of various types of DMA requests indicate the choices of the DMA cache sizes. The percentages of the sequential DMA memory references are used for the adoption of WT policy and the prefetch scheme for the DMA cache.

We have presented two concrete DMA cache designs, i.e., Decoupled DMA Cache (DDC) and Partition-Based DMA Cache (PBDC), which are for I/O-specific processors and general purpose processors respectively. By using an FPGA-based emulation platform, we have implemented and evaluated our designs and previous unified approaches. Experimental results show that both DDC and PBDC perform better than the existing approaches that use unified, shared caches for I/O data and CPU data.

۷ نتیجه‌گیری‌ها

در این مقاله، ما یک تکنیک مخزن DMA را برای جداسازی داده‌های I/O و داده‌های CPU بر اساس مشاهدات مشخصات مختلف رفتارهای مرجع حافظه‌ی CPU و DMA ارائه داده‌ایم. در واقع، فواصل استفاده‌ی مجدد تولید-مصرف داده‌های I/O، الهام‌بخش ما برای جداسازی داده‌های I/O و داده‌های CPU و در نتیجه ارائه‌ی مخزن DMA هستند. متوسط اندازه‌های انواع مختلف درخواست‌های DMA، انتخاب‌های اندازه‌های مخزن DMA را نشان می‌دهند. درصد‌های مراجع حافظه‌ی DMA متوالی، برپا اتخاذ خط‌مشی WT و طرح واکنشی برای مخزن DMA استفاده می‌شوند.

ما ما دو طرح واقعی مخزن DMA را ارائه داده‌ایم یعنی، مخزن جدای DMA (DDC) و مخزن مبتنی بر افراز DMA (PBDC)، که به ترتیب برای پردازشگرهای خاص I/O و پردازشگرهای هدف عمومی هستند. با استفاده از یک پلت‌فرم شبیه‌سازی مبتنی بر FPGA، ما رویکردهای ادغام شده‌ی قبلی و طرح‌های خود را اجرا و ارزیابی کرده‌ایم. نتایج تجربی نشان می‌دهند که هر دوی DDC و PBDC دارای عملکرد بهتری نسبت به رویکردهای موجود هستند که از مخازن مشترک یکپارچه برای داده‌های I/O و داده‌های CPU استفاده می‌کنند.



توجه!

این فایل تنها قسمتی از ترجمه میباشد. برای تهیه مقاله ترجمه شده کامل با فرمت

ورد (قابل ویرایش) همراه با نسخه انگلیسی مقاله، [اینجا](#) کلیک نمایید.

برای جستجوی جدیدترین مقالات ترجمه شده، [اینجا](#) کلیک نمایید.